

# JAPANESE PATENT PUBLICATION

LAID-OPEN NO: HEI 2-222546  
LAID-OPEN DATES: SEPTEMBER 5, 1990  
APPLICATION NO: HEI 1-44561  
5 FILLING DATE: FEBRUARY 23, 1989  
APPLICANT: NEC CORPORATION

## Specification

### 1. Title of the Invention

METHOD OF MANUFACTURING MOS TYPE FIELD EFFECT  
10 TRANSISTOR

### 2. Scope of Patent Claims

(1) A method of manufacturing a MOS type field effect transistor which is formed on a single crystal semiconductor thin film formed on top of an insulating substrate, comprising the steps of: forming a single crystal metal silicide film on top of said  
15 insulating substrate in the regions which will become the source and the drain; and forming a single crystal semiconductor thin film in the region that will become the gate channel by a single crystal growth method using the single crystal silicide film as a seed.

### 3. Detailed Description of the Invention

#### 20 [Field of the Industrial Application]

The present invention relates to a method of manufacturing a MOS type field effect transistor, and in particular to a method of manufacturing a MOS type field effect transistor to be formed on a Silicon On Insulator (SOI) substrate.

[Prior Art]

With the recent high integration and scaling down of VLSI, MOS type field effect transistors with gate lengths of approximately  $0.8\ \mu\text{m}$  are now in use. In addition, single crystal semiconductor thin films with good crystal growth and SOI film thickness of approximately  $0.5\ \mu\text{m}$  have until now been used for MOS type field effect transistors formed on an SOI substrate. However, when an SOI film having a thick of  $0.5\ \mu\text{m}$  is used, the MOS type field effect transistor characteristics worsen due to the two-dimensional effects such as the punch-through effect or the short channel effect. It has been recently reported, though, that by making the SOI film thickness equal to or less than the depletion layer thickness, one can reduce the two-dimensional effects or the substrate floating effect. The method of forming the thin SOI film involves first forming SOI film having a thickness of as much as approximately  $0.5\ \mu\text{m}$ , and then thinning the film by various etching processes.

[Problems to be solved by the Invention]

However, for MOS type field effect transistors which have minute gate lengths, unless the SOI film thickness in the gate region is equal to or less than approximately 50 nm, it will not be possible to sufficiently inhibit the two-dimensional effects. Due to this, the thickness of the SOI film in the gate region, or over the entire transistor region, must be made equal to or less than approximately 50 nm. However, forming a thin film over a large area in this way is not only difficult in previous methods such as beam annealing and solid phase epitaxy, but also is difficult in the current method of etching a thick SOI film for thinning from both uniformity and controllability standpoints. In addition, because the source and the drain regions become very thin, the source and the drain resistances can be expected to increase.

An object of the present invention is to provide a method of manufacturing a MOS type field effect transistor which can eliminate the foregoing prior art problems.

[Means for solving the Problems]

In order to obtain the above object, the present invention provides a method of

manufacturing a MOS type field effect transistor which is formed on a single crystal semiconductor thin film formed on top of an insulating substrate, comprising the steps of: forming a single crystal metal silicide film on top of an insulating substrate in the regions which will become the source and the drain; and forming a single crystal semiconductor thin film in the region which will become the gate channel by a single crystal growth method using the single crystal metal silicide film as a seed.

#### [Operation]

The method of the present invention differs from previous methods of manufacturing MOS type field effect transistors. According to the present invention, first, a thick single crystal silicide film is formed on an insulating substrate over the regions that will become the source and the drain. Then, after depositing an amorphous or polycrystalline semiconductor thin film having a desired thin film over the substrate to a preset thin film thickness, the single crystal silicide film neighboring the source and the drain regions is used as a seed, and the semiconductor film in the gate channel region is crystallized into a single crystal. For this case, the gate channel region that is to be made into a single crystal is no more than approximately  $1\text{ }\mu\text{m}$ , and can easily be formed into a single crystal. As a result, the high precision etching process needed previously when forming a thin SOI film becomes unnecessary.

#### [Embodiments]

Embodiments of the present invention will be described below with reference to the drawings.

Figs. 1(a) - (e) are schematic cross sectional views showing one embodiment of the present invention.

In Fig. 1(a), on top of a silicon substrate 1, an insulating film 2 having a thickness of  $1\text{ }\mu\text{m}$  is formed by thermal oxidation, and then an SOI film 3 having a thickness of  $5\text{ }\mu\text{m}$  is formed. Next, the surface of the substrate is cleaned, and a nickel film 4 having a thickness of  $0.14\text{ }\mu\text{m}$  is deposited on top of the SOI film 3. In Fig. 1(b), the silicon substrate 1 is subject to the heat treatment at  $800^{\circ}\text{C}$  for 30 minutes, and after forming a

single crystal nickel silicide film 5 over the entire surface of the insulating film 2, the region that will become the gate channel and the region that will become the element separation region are etched by using conventional photoresist and dry etching processes. With these steps, a thick single crystal silicide film is formed over the regions on the  
5 insulating substrate that will become the source and the drain. Next, a 30nm amorphous Si film 6 is deposited by vacuum evaporation, as in Fig. 1(c). In Fig. 1(d), by annealing the silicon substrate 1 in a nitrogen atmosphere at 600°C for 2 hours in an electric furnace, the single crystal nickel silicide film 5 in the source and drain regions is used as a seed to subject the amorphous silicon film 6 to solid phase epitaxy and to obtain a single crystal  
10 Si film 7. In addition, the element separation area is etched and removed by using conventional photoresist and dry etching processes. With these processes, the 30 nm single crystal Si film can be formed in the gate channel region. In addition, a gate oxide film 8 is formed on the surface of the single crystal Si film 7 in the gate area by thermal oxidation, and after depositing a polycrystalline Si film 9, which is to form a gate  
15 electrode, having a thickness of as much as 0.5  $\mu\text{m}$  by CVD, the polycrystalline Si film 9 is etched using conventional photoresist and dry etching processes, forming a gate electrode.

In the above embodiment,  $\text{NiSi}_2$  is used as the single crystal silicide film, but there need be no restrictions on this, and  $\text{CoSi}_3$ ,  $\text{PtSi}$ ,  $\text{Pd}_2\text{Si}$ , etc. can be used. Further, the single  
20 crystal silicide film thickness is 0.5  $\mu\text{m}$  in the above embodiment, but there need be no restrictions on this, and the above single crystal silicide films equal to or more than a film thickness in which the sheet resistance is 300  $\Omega/\text{square}$  or less can be used.

In addition, the film thickness of the semiconductor film that is turned into a single crystal is 30 nm in the embodiment, but there need be no restrictions on this, and any film  
25 thickness having at least a film thickness of the single crystal silicide film or less can be used.

Furthermore, solid phase epitaxy is used as a method of forming the single crystal film in the gate channel region in the embodiment, but beam annealing and other

processes can also be used.

In addition, a polycrystalline Si film is used as the gate material in the above-described embodiment, but there need be no restrictions on this, and high melting point metal films and polyside structure thin films can also be used.

## 5 [Effect of the Invention]

As explained above, in accordance with the present invention, it differs from previous method of manufacturing MOS type field effect transistors, and since the thin SOI film in the gate region is formed after a surrounding thick single crystal silicide film is formed, using the surrounding silicide film as a seed, the high precision etching process  
10 required previously to form a thin SOI film is not needed. In addition, as shown in the embodiment, even when the thin SOI film in the gate region is formed with a MOS type field effect transistor, the source and the drain regions can be formed by using a thick silicide film, which provides the effect of being able to form a transistor without increasing the resistance in the source and the drain regions.

## 15 4. Brief Description of the Drawings

Figs. 1(a) - (e) are schematic cross sectional views showing one embodiment of the present invention.

- |  |                               |
|--|-------------------------------|
| 1 ... silicon substrate                      | 2 ... insulating film         |
| 3 ... SOI film                               | 4 ... nickel film             |
| 20 5 ... single crystal nickel silicide film |                               |
| 6 ... amorphous Si film                      | 7 ... single crystal Si film  |
| 8 ... gate oxide film                        | 9 ... polycrystalline Si film |

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008428414     \*\*Image available\*\*

WPI Acc No: 1990-315415/199042

Mfg. MOSFET - by forming single-crystal metal silicide film on region for  
source and drain regions on insulator    NoAbstract Dwg 1/1

Patent Assignee: NEC CORP (NIDE    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2222546	A	19900905	JP 8944561	A	19890223	199042    B

Priority Applications (No Type Date): JP 8944561 A 19890223

Title Terms: MANUFACTURE; MOSFET; FORMING; SINGLE; CRYSTAL; METAL;  
SILICIDE ; FILM; REGION; SOURCE; DRAIN; REGION; INSULATE; NOABSTRACT

Derwent Class: L03; U11; U12; U13

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-222546

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月5日

H 01 L 21/336  
29/784

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 MOS型電界効果トランジスタの製造方法

⑯ 特 願 平1-44561

⑰ 出 願 平1(1989)2月23日

⑱ 発 明 者	最 上 徹	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	岡 林 秀 和	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	青 木 秀 充	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	齋 藤 修 一	東京都港区芝5丁目33番1号	日本電気株式会社内
⑱ 発 明 者	波 田 博 光	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 出 願 人	日本電気株式会社	東京都港区芝5丁目7番1号	
⑳ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

MOS型電界効果トランジスタの製造方法

2. 特許請求の範囲

(1) 絶縁体基板上の単結晶半導体薄膜に形成するMOS型電界効果トランジスタの製造方法において、ソース、ドレインとなるべき領域上に単結晶金属シリサイド膜を絶縁体基板上に形成する工程と、単結晶金属シリサイド膜を種とする単結晶成長法によりゲートチャネルとなるべき領域に単結晶半導体薄膜を形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOS型電界効果トランジスタの製造方法、特にSOI(Silicon On Insulator)基板に形成するMOS型電界効果トランジスタの製造方法に関する。

(従来の技術)

最近のVLSIにおいては、高集積化と微細化に伴

い、ゲート長が0.8μm程度のMOS型電界効果トランジスタが用いられている。また、SOI基板に形成されるMOS型電界効果トランジスタにおいては、従来、結晶成長が容易であるSOI膜厚が0.5μm程度の単結晶半導体薄膜が用いられていた。しかし、0.5μmと厚いSOI膜を用いた場合には、パンチスルーや短チャネル効果という2次元効果のためにMOS型電界効果トランジスタの特性は劣化するが、SOI膜厚を最大空乏層厚以下にすることにより、2次元効果や基板浮遊効果を低減できることが最近報告されている。薄いSOI膜の形成方法は、一度0.5μm程度の厚いSOI膜を形成した後、種々のエッチング法により薄膜化を行っている。

(発明が解決しようとする課題)

しかしながら、微細ゲート長を有するMOS型電界効果トランジスタにおいては、ゲート領域のSOI膜厚を50nm程度以下にしなくては、2次元効果を十分に抑制することはできない。そのため、ゲート領域あるいはトランジスタ全領域のSOI膜の膜厚を50nm程度以下にしなければならない。しか

し、そのように薄いSOI膜を大面積に広く形成することは、従来のビームアニール法や固相成長法では困難であるばかりでなく、現在行っている薄いSOI膜をエッチングにより薄くする方法においても、均一性、制御性の面から極めて困難である。また、ソース、ドレイン領域の膜厚も極めて薄くなるために、ソース、ドレイン抵抗の増大が予想される。

本発明の目的はこのような従来の問題点を解消しうるMOS型電界効果トランジスタの製造方法を提供することにある。

#### [課題を解決するための手段]

前記目的を達成するため、本発明は絶縁体基板上の単結晶半導体薄膜に形成するMOS型電界効果トランジスタの製造方法において、ソース、ドレインとなるべき領域上に単結晶金属シリサイド膜を絶縁体基板上に形成する工程と、単結晶金属シリサイド膜を種とする単結晶成長法によりゲートチャネルとなるべき領域に単結晶半導体薄膜を形成する工程とを含むものである。

SOI膜3を0.5 $\mu$ mの厚さに形成する。次に、基板表面を清浄化し、前記SOI膜3上にニッケル膜4を0.14 $\mu$ m堆積する。第1図(b)において、前記シリコン基板1に800°C、30分の熱処理を施し、絶縁膜2上全面に単結晶ニッケルシリサイド膜5を形成した後、ゲートチャネルとなるべき領域と素子分離領域を通常のホトレジスト工程とドライエッチング工程によりエッチング除去する。これにより、絶縁体基板上的ソース、ドレインとなるべき領域に、厚い単結晶シリサイド膜を形成されたことになる。次いで、第1図(c)において、非晶質Si膜6を真空蒸着法により30nm堆積する。第1図(d)において、前記シリコン基板1を窒素雰囲気中600°C、2時間、電気炉でアニールすることにより、該非晶質Si膜6をソース、ドレイン領域の単結晶ニッケルシリサイド膜5を種として、固相成長させ、単結晶Si膜7にし、さらに素子分離部分を通常のホトレジスト工程とドライエッチング工程によりエッチング除去する。この工程により、30nm厚の単結晶Si膜をゲートチャネル領域に形成できる。

#### [作用]

本発明においては、従来のMOS型電界効果トランジスタの製造方法とは異なり、まず、絶縁体基板上のソース、ドレインとなるべき領域に、厚い単結晶シリサイド膜を形成する。次に、所望の薄い膜厚の非結晶あるいは多結晶半導体薄膜を基板上に堆積した後、近接するソース、ドレイン領域の単結晶シリサイド膜を種として、ゲートチャネル領域の半導体膜を単結晶化する。この場合、単結晶化すべきゲート領域は、せいぜい1 $\mu$ m程度であり、容易に単結晶化が可能である。この結果、従来の薄いSOI膜形成に必要であった高精度のエッチング法は必要としない。

#### [実施例]

以下、本発明の実施例を図面を参照して説明する。

第1図(a)~(d)は本発明の一実施例を示した模式的断面図である。

第1図(a)において、シリコン基板1上に、熱酸化による絶縁膜2を1 $\mu$ mの厚さに形成し、次いで、

さらに、第1図(b)において、前記ゲート部分の単結晶Si膜7の表面に熱酸化によりゲート酸化膜8を形成し、ゲート電極となる多結晶Si膜9を0.5 $\mu$ mだけCVD法により堆積した後、該多結晶Si膜9を通常のホトレジスト工程とドライエッチング工程によりエッチングし、ゲート電極を形成する。

以上実施例においては単結晶シリサイド膜としてNiSi<sub>2</sub>を用いたが、これに限る必要はなく、CoSi<sub>2</sub>やPtSiやPd<sub>2</sub>Siなども用いることができる。また、これら単結晶シリサイド膜の膜厚は、前記実施例においては、0.5 $\mu$ mとしたが、これに限る必要はなく、シート抵抗が300 $\Omega$ /□以下となる膜厚以上の単結晶シリサイド膜を用いることができる。

また、実施例においては、単結晶成長させるべき半導体膜の膜厚を30nmとしたが、これに限る必要はなく、少なくとも単結晶シリサイド膜の膜厚以下の任意の膜厚を用いることができる。

さらに実施例においては、ゲートチャネル領域の単結晶膜を形成する方法に固相成長法を用いたが、ビームアニール法なども用いることができる。



また、前記実施例においては、ゲート材料として多結晶Si膜を用いたが、これに限る必要はなく、高融点金属等の金属膜やポリサイド構造の薄膜も用いることができる。

〔発明の効果〕

以上説明したように本発明によれば、従来のMOS型電界効果トランジスタの製造方法とは異なり、ゲート領域の薄いSOI膜は、周辺部の厚い単結晶シリサイド膜を形成した後に周辺部のシリサイド膜を種として形成するため、従来の薄いSOI膜形成に必要とされた高精度のエッチング法は必要としない。また、実施例に示したように、ゲート領域の薄いSOI膜にMOS型電界効果トランジスタを形成した場合でも、ソース、ドレイン領域を厚いシリサイド膜で形成できるので、ソース、ドレイン領域の抵抗を上げずにトランジスタを作製できる効果を有する。

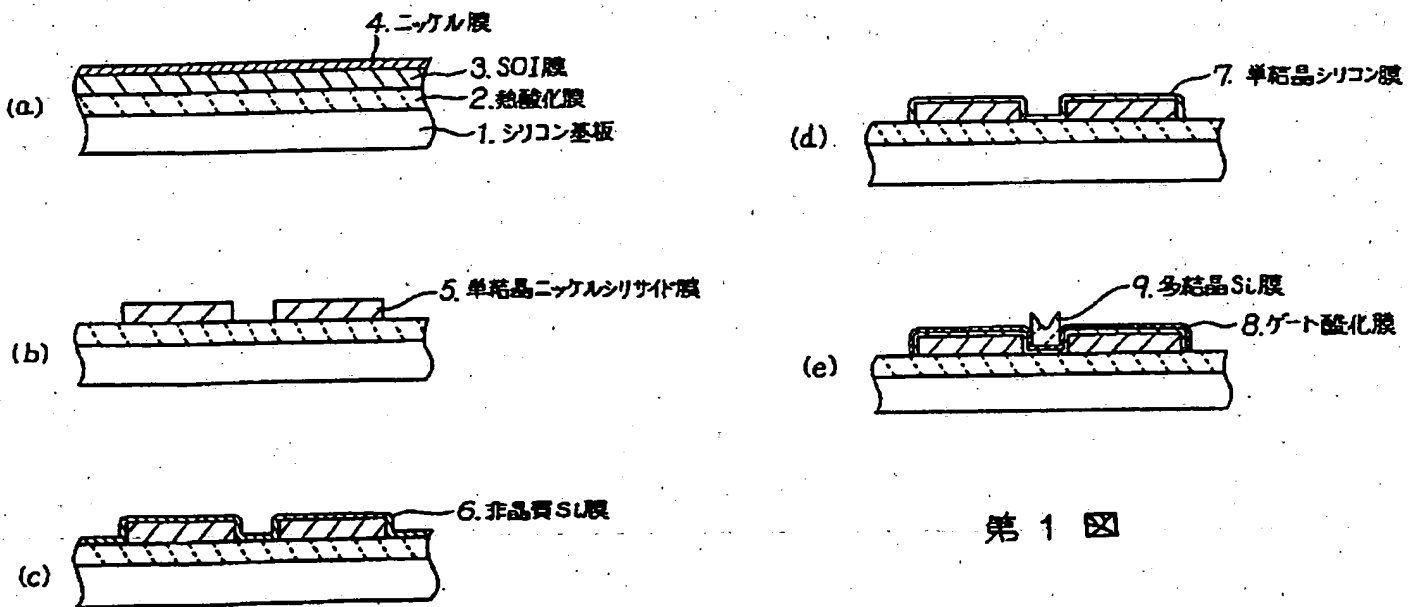
4. 図面の簡単な説明

第1図(a)~(e)は本発明の一実施例を工程順に示した模式的断面図である。

- |                 |          |
|-----------------|----------|
| 1…シリコン基板        | 2…絶縁膜    |
| 3…SOI膜          | 4…ニッケル膜  |
| 5…単結晶ニッケルシリサイド膜 |          |
| 6…非晶質Si膜        | 7…単結晶Si膜 |
| 8…ゲート酸化膜        | 9…多結晶Si膜 |

特許出願人 日本電気株式会社

代理人 弁理士 内 原 晋



第1図

第1図